

S. Kumashiro  
3.20.04  
B. Deti

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

11/30/00  
Q61995  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年12月 1日

願番号  
Application Number:

平成11年特許願第341672号

願人  
Applicant(s):

日本電気株式会社

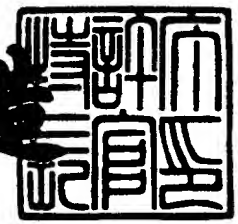
JCS18 U.S. PTO  
09/726114  
11/30/00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 9月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 74112081

【提出日】 平成11年12月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明の名称】 MOSトランジスタのゲート酸化膜トンネル電流モデル

【請求項の数】 6

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 熊代 成孝

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100081433

    【弁理士】

    【氏名又は名称】 鈴木 章夫

【手数料の表示】

    【予納台帳番号】 007009

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 MOSトランジスタのゲート酸化膜トンネル電流モデル

【特許請求の範囲】

【請求項 1】 面積と特性の異なる二種類のダイオードを逆方向に並列接続し、かつこれらダイオードをMOSトランジスタ回路モデルのゲートドレイン間及びゲートソース間に接続したことを特徴とするMOSトランジスタのゲート酸化膜トンネル電流モデル。

【請求項 2】 前記二種類のダイオードの一つは、MOSトランジスタのゲート面積の半分の面積を持つダイオードであり、他の一つはゲートとソース・ドレイン拡散層のオーバーラップ長にゲート幅を乗じた面積を持つダイオードであることを特徴とする請求項 1 に記載のMOSトランジスタのゲート酸化膜トンネル電流モデル。

【請求項 3】 前記一つのダイオードは、アノード側をゲート、カソード側をソースまたはドレインに接続し、前記他の一つのダイオードは、アノード側をソースまたはドレインに接続し、カソード側をゲートに接続したことを特徴とする請求項 2 に記載のMOSトランジスタのゲート酸化膜トンネル電流モデル。

【請求項 4】 前記一つのダイオードによりゲートチャネル間のトンネル電流のバイアス依存性を近似し、前記他の一つのダイオードによりゲートオーバーラップ間のトンネル電流のバイアス依存性を近似することを特徴とする請求項 3 に記載のMOSトランジスタのゲート酸化膜トンネル電流モデル。

【請求項 5】 前記ダイオードの等価回路は、直列抵抗と電圧制御電流源から構成されており、容量成分を持たないことを特徴とする請求項 1 ないし 4 のいずれかに記載のMOSトランジスタのゲート酸化膜トンネル電流モデル。

【請求項 6】 前記ダイオードのモデルパラメータは温度依存性を有しないことを特徴とする請求項 5 に記載のMOSトランジスタのゲート酸化膜トンネル電流モデル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMOS型電界効果トランジスタ(MOSFET)のシミュレーション用モデルに関し、特にMOSFETのゲートドレイン間、ゲートソース間のトンネル電流のモデルに関するものである。

## 【0002】

## 【従来の技術】

従来、MOSFETの標準的回路シミュレーション用モデルとしては例えば、Y. Cheng, M-C. Jeng, Z. Liu, J. Huang, M. Ghan, K. Chen, P. Ko, and C. Hu, "A Physical and Scalable I-V Model in BSIM3V3 for Analog/Digital Circuit Simulation," IEEE Transactions on Electron Devices, vol.44, no.2, pp. 277-287, 1997 に記載されているBSIM3V3がある。しかし、これらのモデルは開発時にゲート酸化膜厚2nm以下の状況を想定していなかったため、ゲート酸化膜トンネルリーク電流がモデル化されていない。

## 【0003】

一方、MOSダイオード構造におけるゲート酸化膜トンネル電流自体のモデル化は古くから行われ、最近では例えば、E. Vogel, K. Ahmed, B. Hornung, W. Henson, P. McLarty, G. Lucovsky, R. Hauser, and J. Wortman, "Modeled Tunnel Currents for High Dielectric Constant Dielectrics," IEEE Transactions on Electron Devices, vol.45, no.5, pp.1350-1355, 1998 に記載されている解析式モデルがある。しかしこれらのモデルは縦方向に均一な一次元構造を前提としたモデルであるため、ソース・ドレインを有するMOSFET構造に対応出来る様なモデルになっていない。

## 【0004】

## 【発明が解決しようとする課題】

このため、前記したモデルでは、ゲート酸化膜厚が2nm以下の領域において顕著になるMOSFETのゲートドレイン間、ゲートソース間のゲート酸化膜トンネル電流をシミュレートすることは難しいとされている。特に、MOSFETの前記したトンネル電流に存在するゲート長依存性の非対称性、あるいは過渡特性、さらには温度非依存性等を再現することが可能なモデルのトンネル電流をシミュレートするモデルを実現することは困難である。

## 【0005】

本発明の目的は、MOSFETのゲートドレイン間、ゲートソース間のトンネル電流をシミュレートすることが可能なMOSFETのゲート酸化膜トンネル電流モデルを提供するものである。また、本発明の他の目的は、過渡特性、温度非依存性を再現することが可能なMOSFETのゲート酸化膜トンネル電流モデルを提供するものである。

## 【0006】

## 【課題を解決するための手段】

本発明のMOSFETのゲート酸化膜トンネル電流モデルは、面積と特性の異なる二種類のダイオードを逆方向に並列接続し、かつこれらダイオードをMOSトランジスタ回路モデルのゲートドレイン間及びゲートソース間に接続したことを特徴とする。前記二種類のダイオードの一つは、MOSトランジスタのゲート面積の半分の面積を持つダイオードであり、他の一つはゲートとソース・ドレイン拡散層のオーバーラップ長にゲート幅を乗じた面積を持つダイオードで構成する。特に、前記一つのダイオードは、アノード側をゲート、カソード側をソースまたはドレインに接続し、前記他の一つのダイオードは、アノード側をソースまたはドレインに接続し、カソード側をゲートに接続する。そして、前記一つのダイオードによりゲートチャネル間のトンネル電流のバイアス依存性を近似し、前記他の一つのダイオードによりゲートオーバーラップ間のトンネル電流のバイアス依存性を近似する。

## 【0007】

また、本発明のゲート酸化膜トンネル電流モデルでは、前記ダイオードの等価回路は、直列抵抗と電圧制御電流源から構成されており、容量成分を持たないことを特徴とする。また、前記ダイオードのモデルパラメータは温度依存性を有しないことを特徴とする。

## 【0008】

本発明のゲート酸化膜トンネル電流モデルによれば、特に、ゲート酸化膜厚が2nm以下の領域において顕著になるMOSFETのゲートドレイン間及びゲートソース間のトンネル電流を、ゲートドレイン間とゲートソース間の相

対的電位変化を反映させて比較的精度良く表現することができる。また、ダイオードモデルは容量成分を持たないため、過渡解析においても正しい結果が得られる。さらに、ダイオードモデルの各パラメータは温度依存性を持たないため、温度依存性がほとんど無いというトンネル電流の特性を精度良く再現することができる。

#### 【0009】

##### 【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明のゲート酸化膜トンネル電流モデルを、通常のMOSFET回路モデルのゲート・ドレイン間及びゲート・ソース間に接続した構成の回路図である。前記ゲート酸化膜トンネル電流モデルは、面積と特性の異なる二種類のダイオードで構成されており、これらのダイオードを逆方向に並列接続した構成とされている。すなわち、図1(a)はN型MOSFETの例を示しており、N型MOSFETのチャネルとゲート電極間のトンネル電流を表すダイオードDNCHと、ソース・ドレイン・ゲート間オーバーラップ領域とゲート電極間のトンネル電流を表すダイオードDN OVを逆向きに並列接続したものを、ゲートGとドレインDの間、及びゲートGとソースSの間にそれぞれ接続する。ここで、ダイオードDNCHはゲート面積の半分の面積を持つダイオードであり、DN OVはゲートとソース・ドレイン拡散層のオーバーラップ長にゲート幅を乗じた面積を持つダイオードである。

#### 【0010】

また、図1(b)はP型MOSFETの例を示しており、P型MOSFETのチャネルとゲート電極間のトンネル電流を表すダイオードDPCHと、ソース・ドレイン・ゲート間オーバーラップ領域とゲート電極間のトンネル電流を表すダイオードDPOVを逆向きに並列接続したものを、ゲートGとドレインDの間、及びゲートGとソースSの間にそれぞれ接続する。ここで、ダイオードDPCHはゲート面積の半分の面積を持つダイオードであり、DPOVはゲートとソース・ドレイン拡散層のオーバーラップ長にゲート幅を乗じた面積を持つダイオードである。

#### 【0011】

前記各ダイオードDNCH, DPCH及びDNOV, DPOVの等価回路モデルは図2に示すように、直列抵抗RSと電圧制御電流源 $i$  [ $= f(v)$ ] から構成されており、容量成分は持たない。前記電圧制御電流源 $i$ の特性は例えば(数1)で表される。

【0012】

【数1】

$$i = I_s \left[ \exp\left(\frac{v}{N_{FT}}\right) - 1 \right]$$

ここで、 $I_s$ はソース電流、 $v$ は電圧制御電流源の両端にかかる電圧、 $N_{FT}$ はトンネル電流のバイアス依存性を表すパラメータを示している。また、前記ダイオードの等価回路モデル中の各パラメータRS,  $I_s$ ,  $N_{FT}$ は温度依存性を持たない。

【0013】

次に、本発明の図1に示したしたトンネル電流モデルの動作について説明する。例えば、図1(a)のN型MOSFETの場合、MOSFETの構造対称性により、領域をソース側とドレイン側に二分して考える。

【0014】

#### 1. ソース側

(1)  $V_g$  (ゲート電圧)  $> V_s$  (ソース電圧) の場合：ゲートからチャネルへ向かって流れるトンネル電流が主となる。このトンネル電流のバイアス依存性はアノード側をゲート、カソード側をソースに接続した直列抵抗を持つダイオードモデルDNCHにより近似できる。また、ダイオードモデルDNCHの面積がゲート面積の半分であることから、トンネル電流の大きさはゲート面積の $1/2$ に比例するとして近似できる。

【0015】

(2)  $V_g < V_s$  の場合：ソースーゲート間オーバーラップ領域からゲートに向

かって流れるトンネル電流が主となる。このトンネル電流のバイアス依存性はアノード側をソース、カソード側をゲートに接続した直列抵抗を持つダイオードモデルDNOVにより近似できる。また、トンネル電流の大きさは、ダイオードモデルDNOVの面積がソースーゲート間オーバーラップ長にゲート幅を掛けた面積であることから、ソースーゲート間オーバーラップ長にゲート幅を掛けた面積に比例するとして近似できる。

【0016】

## 2. ドレイン側

(1)  $V_g > V_d$  の場合：ゲートからチャネルへ向かって流れるトンネル電流が主となる。このトンネル電流のバイアス依存性はアノード側をゲート、カソード側をドレインに接続した直列抵抗を持つダイオードモデルDNCHにより近似できる。また、トンネル電流の大きさはゲート面積の  $1/2$  に比例するとして近似できる。

【0017】

(2)  $V_g < V_d$  の場合：ドレインーゲート間オーバーラップ領域からゲートに向かって流れるトンネル電流が主となる。このトンネル電流のバイアス依存性はアノード側をドレイン、カソード側をゲートに接続した直列抵抗を持つダイオードモデルDNOVにより近似できる。また、トンネル電流の大きさはドレインーゲート間オーバーラップ長にゲート幅を掛けた面積に比例するとして近似できる。

【0018】

なお、図1 (b) に示すP型MOSFETについても同様であり、それぞれ  $V_g > V_s$ ,  $V_g > V_d$  と  $V_g < V_s$ ,  $V_g < V_d$  の各場合におけるソース側及びドレイン側の各トンネル電流のバイアス依存性とトンネル電流の大きさをダイオードモデルDPCH, DPOVによって近似することができる。

【0019】

以上のように、本発明においては、図1 (a), (b) に示したように、ゲート酸化膜トンネル電流を考慮していない標準的MOSFETモデルと、標準的ダイオードモデルを使用することで、ゲート酸化膜厚が  $2\text{ nm}$  以下の領域において



顕著になるMOSFETのゲートドレイン間及びゲートソース間のトンネル電流を、ゲートドレイン間とゲートソース間の相対的電位変化を反映させて比較的精度良く表現することができる。

#### 【0020】

例えば、図3に示すように、N型MOSFETのソース、ドレイン、基板を全て接地し、ゲートに正電圧を印加したときに流れるゲートリーク電流はゲート長に比例し、ゲートに負電圧を印加したときにのゲートリーク電流はゲート長に依存せずほぼ一定の値をとるが、前記ダイオードモデルにおいても、この様子が精度良く再現できていることが判る。

#### 【0021】

また、同図における前記リーク電流のゲート長依存性の非対称性は、ゲートからチャネルへ向かって流れるトンネル電流がゲート面積に比例するのに対し、チャネルからゲートに向かって流れるトンネル電流がゲートとソース・ドレイン拡散層のオーバーラップ部分の面積に比例し、オーバーラップ長はチャネル長が変化してもほとんど変化しないためである。前記ダイオードモデルにおいても、面積と特性の異なる二種類のダイオードを逆方向に並列接続したものを通常のトランジスタ回路モデルのゲートドレイン間及びゲートソース間に接続しているため、このリーク電流のゲート長依存性の非対称性が再現できる。

#### 【0022】

さらに、前記ダイオードモデルは、図2の等価回路において示したように容量成分を持たないため、標準的MOSFETモデルが内部に持っている容量モデルと重複することは無く、過渡解析においても正しい結果が得られる。また、前記ダイオードモデルの各パラメータ $R_S$ 、 $I_s$ 、 $N_{FT}$ は温度依存性を持たないため、温度依存性がほとんど無いというトンネル電流の特性を精度良く再現することができる。

#### 【0023】

##### 【発明の効果】

以上説明したように本発明のゲート酸化膜トンネル電流モデルは、面積と特性の異なる二種類のダイオードを逆方向に並列接続し、かつこれらダイオードをM

OSトランジスタ回路モデルのゲートドレイン間及びゲートソース間に接続しているので、ゲート酸化膜厚が2 nm以下の領域において顕著になるMOSFETのゲートドレイン間及びゲートソース間のトンネル電流を、ゲートドレイン間とゲートソース間の相対的電位変化を反映させて比較的精度良く表現することができる。

#### 【0024】

また、本発明のゲート酸化膜トンネル電流モデルは、ダイオードの等価回路は直列抵抗と電圧制御電流源から構成されており、かつ容量成分を持たないので、過渡解析においても正しい結果が得られる。さらに、ダイオードモデルの各パラメータは温度依存性を持たないため、温度依存性がほとんど無いというトンネル電流の特性を精度良く再現することができる。

#### 【0025】

したがって、本発明によれば、MOSFETのゲートドレイン間、ゲートソース間のトンネル電流をシミュレートすることが可能となり、かつMOSFETの過渡特性、温度非依存性を再現することが可能なMOSFETのゲート酸化膜トンネル電流モデルを得ることが可能となる。

#### 【図面の簡単な説明】

##### 【図1】

本発明のMOSFETのゲート酸化膜トンネル電流モデルの回路図である。

##### 【図2】

本発明にかかるダイオードの等価回路図である。

##### 【図3】

MOSFETのゲート電圧ーゲート電流特性と、本発明のトンネル電流モデルの近似特性を対照して示す図である。

#### 【符号の説明】

DNCH, DPCH 一つのダイオード

DNOV, DPOV 他の一つのダイオード

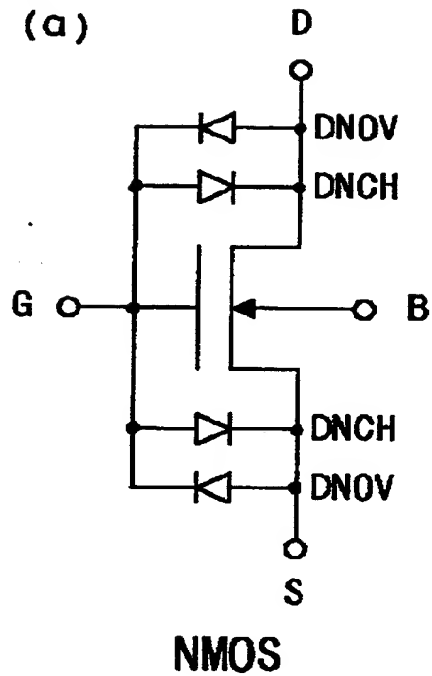
RS 直列抵抗

$i [ = f ( v ) ]$  電圧制御電流源

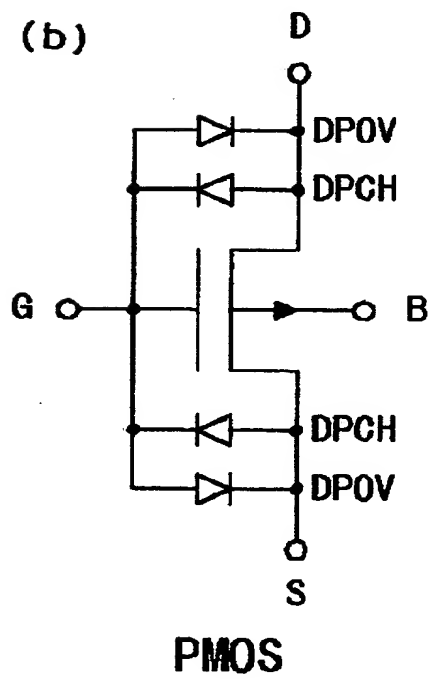
【書類名】 図面

【図 1】

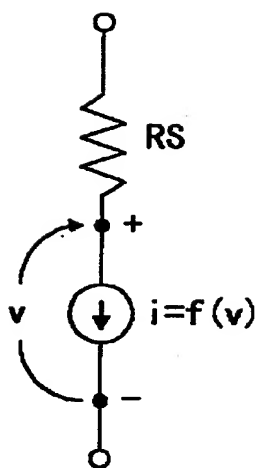
(a)



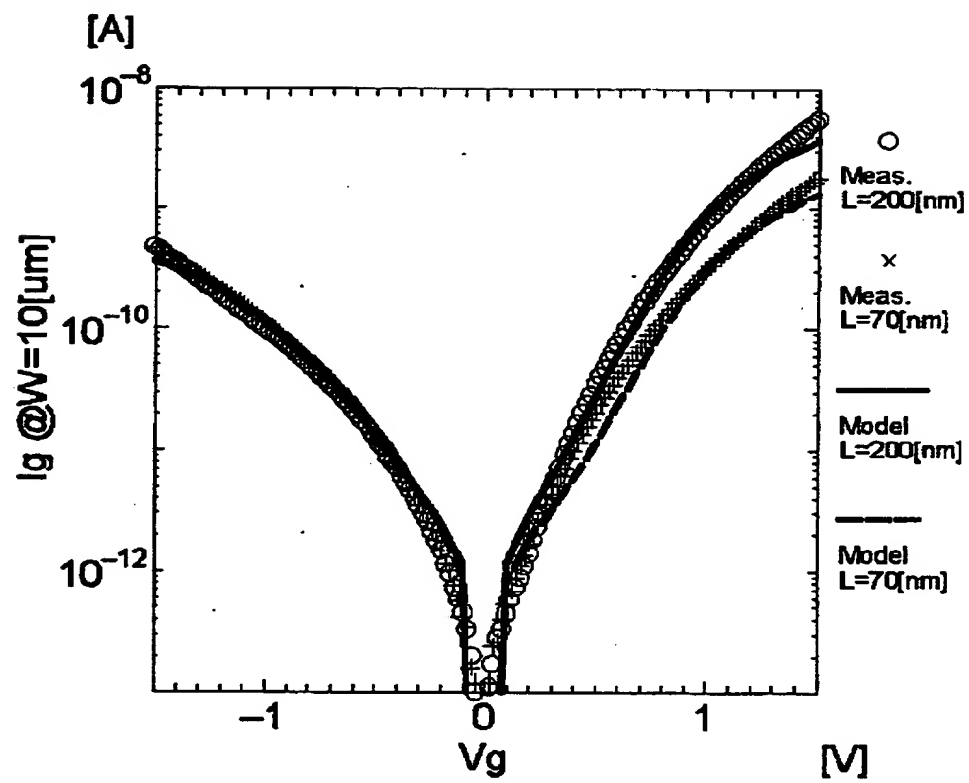
(b)



【图 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 MOSFETのゲートドレイン間、ゲートソース間のトンネル電流をシミュレートすることが可能なMOSFETのゲート酸化膜トンネル電流モデルを提供する。

【解決手段】 面積と特性の異なる二種類のダイオードDNCH, DPCHとDNOV, DPOVを逆方向に並列接続し、かつこれらダイオードをMOSFET回路モデルのゲートGードレインD間及びゲートGーソースS間に接続する。一つのダイオードDNCHは、MOSFETのゲート面積の半分の面積を持ち、他の一つのダイオードDNOVはゲートとソース・ドレイン拡散層のオーバーラップ長にゲート幅を乗じた面積を持つ。ゲート酸化膜厚が2 nm以下の領域において顕著になるMOSFETのゲートドレイン間及びゲートソース間のトンネル電流を、ゲートドレイン間とゲートソース間の相対的電位変化を反映させて比較的精度良く表現することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社